

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-059894

(43)Date of publication of application : 06.04.1985

(51)Int.Cl.

H04Q 3/58

H04M 1/72

(21)Application number : 58-168890

(71)Applicant : NIPPON TELEGR & TELEPH CORP  
<NTT>

(22)Date of filing : 12.09.1983

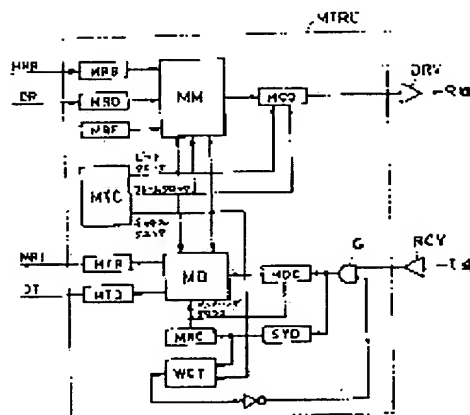
(72)Inventor : KUBO TERUYUKI

## (54) COMMUNICATION SYSTEM

(57)Abstract:

**PURPOSE:** To improve the reliability of signal transmission/reception by allowing a master device to sample a transmission signal by a clock having faster speed than the transmission speed and providing the 2nd reception circuit receiving the signal in the form of the start-stop system.

**CONSTITUTION:** The master device and plural telephone sets are coupled by a time division multiplex transmission line and communicate with each other. A transmission control circuit MTRC generates a transmission bit clock 2,048KHz, a channel clock 128KHz and a frame clock 8KHz by using a transmission timing generating circuit MTC. A reception timing generating circuit MRC discriminates the center position of a reception signal bit by a clock having a higher speed than the bit clock 2,048KHz, e.g., 8MHz, generates a sampling clock and supplies the clock to a decoding circuit MDC and a frame decomposition circuit MD. The circuit MD receives a signal decoded into a logical signal by using the circuit MDC and transmits the signal to a buffer circuit MTB or a DT.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑬ 公開特許公報(A)

昭60-59894

⑥ Int.Cl.<sup>4</sup>

H 04 Q 3/58  
H 04 M 1/72

識別記号

1 0 7

庁内整理番号

7117-5K  
7117-5K

④ 公開 昭和60年(1985)4月6日

審査請求 有 発明の数 1 (全9頁)

⑫ 発明の名称 通信システム

⑭ 特 願 昭58-168890

⑮ 出 願 昭58(1983)9月12日

⑯ 発 明 者 久 保 輝 幸 横須賀市武1丁目2356番地 日本電信電話公社横須賀電気通信研究所内

⑰ 出 願 人 日本電信電話公社

⑱ 代 理 人 弁理士 草 野 卓

明 細 書

1. 発明の名称

通 信 シ ス テ ム

2. 特許請求の範囲

- (1) 1台の主装置と複数の電話機を1組の時分割多重伝送路に接続してなる通信システムにおいて、

前記伝送路は、前記主装置の送出する信号を各々の前記電話機へ向けて伝送する第1の線路と、各々の前記電話機の送出する信号を前記主装置に向けて伝送する第2の線路とから構成され、

各々の前記電話機は前記第1の線路より受信した信号からクロック成分を抽出し、その抽出したクロックに同期した端末クロックを発生するタイミング回路と、その端末クロックに従って信号の受信処理を行う第1の受信手段と、前記端末クロックに従って前記第2の線路に対して信号送信を行う第1の送信手段とを有し、

前記送信信号は線路の空き状態と区別可能な

同期ビットを先頭に有し、

前記主装置は前記送信信号をその伝送速度より高速のクロックでサンプリングし、調歩同期形式で受信する第2の受信手段を有することを特徴とする通信システム。

3. 発明の詳細な説明

この発明は1台の主装置と複数の電話機を1組の時分割多重伝送路に接続し、これらの相互間で信頼性の高い信号伝送を提供する通信システムに関するものである。

< 背 景 >

近年ボタン電話装置等の主装置、電話機間の配線の少対化を図る目的で両者間を1対の通話線と1対の制御線の合計2対の線路でスター配線した電子式ボタン電話装置が盛んに開発されている。しかし、この種の装置では電話機数に比例した量の配線ケーブルを主装置から引き出す必要があり、未だに工事上および美観上の問題を残していた。

これに対しPCMコーデック、デジタルLSI技術の進展を背景に音声情報をデジタル化し、複

数の音声情報と制御信号を1組の線路で時分割多重伝送することにより上記の問題を解決することが可能となつてきた。前記方式を実現するための主装置、電話機相互間の伝送系構成法としてループ形式とバス形式が考えられるが、伝送路に対する電話機の取付け、取りはずしの容易性、およびその時の他の通信への妨害の防止性からは、1組の線路に対し電話機を物理的にマルチ接続するバス・バス構成が最も有利な方式である。

バス・バス構成を採用した従来の装置では主装置および電話機はそれぞれが内蔵した相互に独立したクロック源に従つて信号の送出を行い、伝送路上の信号伝送速度より高速のクロックにより、その信号をサンプリングするいわゆる調歩同期形式で信号の授受を行つていた。このため、伝送路上の無信号期間にパルス性雑音が生起すると、それが疑似信号と見なされ、信号送受信のタイミングが乱され、信頼性の高い信号伝送を提供することが困難であつた。

<発明の目的>

される。主装置MEは各電話機宛の情報信号および制御信号を時分割形式でR線に送出し、各電話機 $KT_1 \sim KT_n$ がそれを受信する。

主装置ME内の伝送制御回路MTRCは通話路装置SPCから供給される多重情報信号MBR(14個の情報信号 $BR_1 \sim BR_{14}$ が多重化された信号)と制御回路MCから供給される制御信号DRを所定の伝送フレームに組立てて送信回路DRVに供給する。またこの伝送制御回路MTRCは受信回路RCVから供給される受信信号を多重情報信号MBTと制御信号DTに分解して通話路装置SPCおよび制御回路MCに供給する。一方各電話機内の伝送制御回路STRCは電話機の受信回路RCVから供給される受信信号から自電話機で受信すべき特定の情報信号たとえば $BR_1$ 、および制御信号DRを分離し、前者を通話回路SCに、後者を制御回路KTCに供給し、また通話回路SCから供給される送話情報信号BT1および制御回路KTCから供給される制御信号DTを所定のタイミングで送信回路DRVを介しT線に送出する。

この発明は上記の欠点を解決するために、電話機が主装置よりの送出信号からクロック成分を抽出し、同期式で動作することにより信頼性の高い信号伝送を実現するようにしたもので、以下図面に従い詳細に説明する。

<実施例>

第1図はこの発明の一実施例の構成を示す図であつて、主装置MEと複数の電話機 $KT_1 \sim KT_n$ は時分割多重伝送路BUSにより結合され、相互に通信を行う。伝送路BUSはT線およびR線の2組の線路からなり、それぞれは2線の平衡形伝送路を構成する。T線には主装置MEの受信回路RCV、各電話機 $KT_1 \sim KT_n$ の送信回路DRVが接続され、T線の終端点は線路の特性インピーダンス $Z_T$ にて終端される。各電話機 $KT_1 \sim KT_n$ はT線に時分割形式でPCM音声等の情報信号および制御用の制御信号を送出し、主装置MEがそれを受信する。一方R線には主装置MEの送信回路DRV、各電話機 $KT_1 \sim KT_n$ の受信回路RCVが接続され、R線の終端点は線路の特性インピーダンス $Z_R$ にて終端

第2図は伝送路BUS上を伝送される信号のフレーム構成の一実施例である。主装置MEがR線に送出する信号は第2図(a)のとおりであり、フレーム同期信号F、情報信号用チャネル(BRチャネル) $BR_1 \sim BR_{14}$ 、制御信号用チャネル(DRチャネル)DRで1フレームを構成する。F、 $BR_1 \sim BR_{14}$ 、DRの各チャネルはそれぞれ10ビットで構成され、第3図に示すように1ビットの同期ビットSYNC、8ビットの情報ビット $I(I_0 \sim I_7)$ 、1ビットのパリティビットPより構成する。第2図(a)に示すように各チャネル間には6ビットのアイドルビット $IB(IB_0 \sim IB_5)$ を設け、総計256ビットで1フレームを構成する。フレーム周期は $125 \mu s$ で、伝送ビットレートは2048 kbpsである。R線上を伝送されるフレームの同期情報はFチャネルの第1ビットにバイオレーションをかけることにより行う。伝送符号として復流式のAMI(Alternate Mark Inversion)符号を用いる場合を例にとつて第4図により説明する。AMI符号は論理"0"で線間電圧を0Vとし、論理"1"に対して

正、負の電圧を交互にとる符号形式である。バイオレーションは特定の論理“1”信号に対して電圧極性の反転を行なわないことにより実現される。したがってR線から信号を受信する各電話機は正規の符号則に従わないバイオレーションビット（ここではFチャネルの第1ビット）を検出することによりフレーム位相を識別することができる。

主装置MEからR線に送出された信号は、電話機までの線路長に応じた伝搬遅延をもつて各電話機に到達する。第2図(c)、(c)にそれぞれ主装置MEに最も近い電話機（最近電話機） $KT_1$ 、主装置MEから最も離れた電話機（最遠電話機） $KT_n$ における受信タイミングを示す。ここで最近電話機 $KT_1$ がBR1チャネルと同一タイミングで情報信号BT1を、DRチャネルと同一タイミングで制御信号DTを送出し（第2図(d)）、最遠電話機 $KT_n$ がBR14チャネルと同一タイミングで情報信号BT14を送出する（第2図(f)）ものとする。これらのT線に送出された信号は、各電話機から主装置MEまでの線路長に応じた伝搬遅延をもつて主装置ME

に到達する。この結果主装置MEにおける受信信号は第2図(b)のごとくなり、BR1～BR14およびDRチャネルの送出開始タイミングと、BT1～BT14およびDTチャネルの受信開始タイミングの時間差 $\tau_1 \sim \tau_{15}$ はチャネル毎に不均一となる。時間差 $\tau_1 \sim \tau_{15}$ の最大値 $\tau_{max}$ は最遠電話機 $KT_n$ までの線路を信号が往復するときに要する時間に等しく、R線のアイドルビットIBの時間長 $T_i$ が $T_i > \tau_{max}$ の関係を満たす限り、T線に各電話機から送出される信号は伝送路上で衝突せず正常な信号伝送が行われる。

各電話機がT線に送出する信号（チャネル）BT1、……、BT14、DTは第3図と同様に10ビットで構成され、同期ビットSYNCは常に論理“1”とする。また、パリティビットPはそのチャネルの10ビット内の論理“1”の数が偶数となるように設定する。T線の線間電圧は電話機からの送出信号の存在しない期間には0電位差となっており、主装置MEでは各チャネルの先頭に設けた同期ビットSYNCにより発生する線間電圧を検出すること

により、各チャネルの開始タイミングを識別することができる。また、パリティビットPにより情報ビット $I_0 \sim I_7$ に対し奇数パリティによる誤り検出が可能となるとともに、伝送符号上は複流式により正、負両極性のパルスの数を等しくして線路の直流平衡をとることが可能となる。

第5図は主装置ME内の伝送制御回路MTRCの構成の一実施例であつて、伝送制御回路MTRCに入力される多重情報信号MBRを一次的に蓄積するバッファ回路MRB、制御信号DR入力を一次的に蓄積するバッファ回路MRD、多重情報信号MBT出力を一次的に蓄積するバッファ回路MTB、制御信号DT出力を一次的に蓄積するバッファ回路MTDはそれぞれ伝送路BUSに対する信号送受信タイミングと外部回路（通話路装置SPCおよび制御回路MC）に対する入出力タイミングの差を吸収する。バッファ回路MRB、MRD、フレーム同期信号Fを保持するレジスタMRFはフレーム組立回路MMに接続され、フレーム組立回路MMは多重情報信号MBRと制御信号DRを第2図(a)に示した伝送フレ

ームの信号配列に組立てる。フレーム組立回路MMからの論理レベルの信号は第4図に示す伝送符号（AMI符号）に符号化器MCDで変換され、送信回路DRVに与えられる。受信回路RCVからの伝送符号はゲート回路Gを通じて復号化器MDCに入力されて論理信号に変換される。ゲート回路Gの出力側に接続された同期ビット検出回路SYDは受信チャネルの先頭に存在する同期ビットSYNCを検出する。送信信号の組立ておよび符号化に必要なタイミングを作成する送信タイミング発生回路MTCからビットクロック、フレームクロック、チャネルクロックをフレーム組立回路MMに供給され、フレームクロック、チャネルクロックはフレーム分解回路MDにも供給される。同期ビット検出回路SYDの出力はサンプリングクロック発生回路MRCに供給され、これより受信信号の同期ビットに続く情報ビット $I_0 \sim I_7$ およびパリティビットを偶歩同期形式で受信するために必要なサンプリング・クロックを発生し、このサンプリング・クロックは復号化器MDC、フレーム分解回路MDへ

供給される。同期ビット検出回路SYDの出力は同期ビットの検出を一定期間に制限するためのウィンドウ制御回路WCTにも供給され、このウィンドウ制御回路WCTにはチャネルクロックがタイミング発生回路MTCから与えられ、出力はゲート回路Gを制御する。

まず、信号送出系の動作を第5図および第6図のタイミング図により説明する。送信タイミング発生回路MTCは伝送ビットクロック2048kHz、チャネルクロック128kHz、フレームクロック8kHzのクロックを発生する。フレーム組立回路MMはフレームクロックの立上りでレジスタMRFからとり出したフレーム同期信号Fの送出を開始し、ビットクロックに従って10ビット分の送出を完了した後、6ビットのアイドルビットIBを付加して送出する。アイドルビットIBとしては伝送符号からクロック情報を抽出しやすくする観点から全ビット論理“1”とする。その後、チャネルクロックの立上り毎に順次バッファ回路MRBから情報信号BR1、……、BR14を、バッファ回路MRDか

ら制御信号DRをとり出し、上記と同様に各々からアイドルビットIBを付加し、符号化器MCDに出力する。符号化器MCDでは第4図に示したごとく、AMI符号への変換を行い、フレームクロックの立上りでバイオレーションをかける。

次に、信号受信系の動作を第5図および第7図のタイミング図により説明する。ウィンドウ制御回路WCTはチャネルクロックの立上りで計数動作を開始し、同期ビット検出回路SYDの出力の立上りで計数動作を停止し、前述の伝搬遅延時間の最大値 $t_{max}$ でオーバーフローを生ずるカウンタである。電話機の送出した信号の同期ビットSYNCはチャネルクロックの立上りから $t_{max}$ の時間内に受信されるはずであることから、これ以降の時間においてはウィンドウ制御回路WCTのオーバーフロー出力により入力ゲート回路Gを閉じ、受信系への入力を禁止する。これにより回線雑音等による誤受信を防止できる。同期ビット検出回路SYDはチャネルクロックの立上りで初期設定され、入力ゲート回路Gが開いている間に同期ビットSYNCを

検出することにより出力を“1”とする。受信タイミング発生回路MRCはビットクロック2048kHzより高速のクロック、たとえば8MHzで受信信号ビットの中央位置を判別し、サンプリングクロックを発生し、復号化回路MDCおよびフレーム分解回路MDに供給する。フレーム分解回路MDは復号化器MDCで論理信号に復号化された受信信号を受け、フレームクロックおよびチャネルクロックをもとに受信信号が情報信号BT1～BT14あるいは制御信号DTのいずれに相当するかを判別し、これらを該当するバッファ回路MTBあるいはMTDに出力する。

第8図は電話機内の伝送制御回路STRCの構成の一実施例であつて、バッファ回路SRBは受話情報信号BRi(以下BR1～BR14の内の任意の1情報信号をBRiと記す)を、バッファ回路SRDは受信制御信号DRを、バッファ回路SRFは受信フレーム同期信号Fを、バッファ回路STBは送話情報信号BTj(以下BT1～BT14の内の任意の1情報信号をBTjと記す)を、バッファ回路STDは送出制

御信号DTをそれぞれ1次的に蓄積する。これらのバッファ回路は伝送路BUSに対する信号送受信タイミングと外部回路(通話回路SCおよび制御回路KTC)に対する入出力タイミングとの差を吸収する。受信回路RCVに接続された復号器SDCはAMI伝送信号を論理信号に変換し、符号器SCDは逆の変換を行つて出力を送信回路DRVへ供給する。受信回路RCVにはバイオレーション検出回路VD、受信信号からクロック成分を抽出し受信信号に位相同期したビットクロックを作成する位相同期回路PLLも接続されている。バイオレーション検出回路VD及び位相同期回路PLLは受信タイミング発生回路SRCにも接続され、これよりチャネルクロックとフレームクロックが作成される。チャネルカウンタCHCはこれらクロックが入力され、その時点で受信中のチャネル番号を計数・保持する。受信すべき情報信号チャネル番号iは、レジスタRCRに保持され、チャネルカウンタCHC出力とレジスタRCRの値の一致が回路RIDで判定される。レジスタTCRに送信すべき情報信号チャネル番号jが

保持され、チャネルカウンタCHCの出力とレジスタTCRの値の一致が回路TIDで判定される。フレーム分解回路SDは各種クロック及び回路RIDの出力が受信信号を分解し、所定の情報信号BR<sub>i</sub>と制御信号DRを抽出してバッファ回路SRB, SRD, SRFへ出力する。フレーム組立回路SMは各クロック及び回路TIDの一致出力が入力され、情報信号BT<sub>j</sub>と制御信号DTを所定のタイミングで符号器SCDに出力する。

信号送受信の動作を第8図及び第9図のタイミング図により説明する。バイオレーション検出回路VDは受信信号中のフレーム同期信号の先頭にあるバイオレーションビットを検出し、その時点でパルス信号を出力する。受信タイミング発生回路SRCは上記パルス信号によりフレームの開始時点を識別し、位相同期回路PLLより供給されるビットクロックをもとに、受信信号のフレーム位相およびチャネル位相に一致したフレームクロックおよびチャネルクロックを作成する。復号器SDCはバイオレーション検出回路VDによりバイオレ

ーションタイミングを通知され、バイオレーションの復号化を含めてAMI符号を論理信号に変換する。チャネルカウンタCHCはフレームクロックの立上りで初期化され、チャネルクロックの立上り毎に歩進する。チャネルカウンタCHCの値がレジスタRCRの値 $i$ と一致すると、一致判定回路RIDはその間出力を“1”とし、フレーム分解回路SDはそのときの受信情報信号BR<sub>i</sub>を抽出し、バッファ回路SRBに出力する。さらにフレーム分解回路SDはフレームクロックとチャネルクロックをもとにフレームの先頭チャネルおよび最終チャネルを判別し、フレーム同期信号Fおよび受信制御信号DRを抽出してバッファ回路SRFおよびSRDに出力する。

一方チャネルカウンタCHCの値がレジスタTCRの値 $j$ と一致すると、一致判定回路TIDはその間出力を“1”とし、フレーム組立回路SMはそのタイミングでバッファ回路STBにある情報信号BT<sub>j</sub>をビットクロックに従って符号器SCDに出力する。さらにフレーム組立回路SMはフレームクロック

とチャネルクロックをもとにフレームの最終チャネルを判別し、バッファ回路STDにある制御信号DTを所定のタイミングでビットクロックに従って符号器SCDに出力する。

#### < 効果 >

以上説明したように、各電話機は主装置からR線を介して送られてくる伝送信号よりクロック成分を抽出し、同期式で信号の送受信を行うことにより、伝送技術の分野で知られている同期保護等の対策をとつて、信号送受信の信頼性を高めることができる。一方、主装置では電話機からT線を介して送られてくる信号の受信開始タイミングを一定期間に限定する場合は回線雑音に対する信頼度が向上する。

さらに、電話機の信号受信部(第8図のフレーム分解回路SD)の機能を拡張することによつて、この実施例ではアイドルビットとして無効情報をのせているR線上のタイミングに主装置から電話機へ通知すべき有効情報をのせ、電話機でそれを取り出すことができ、伝送路の使用効率を向上さ

せることも可能である。

このように、この発明は時分割多重伝送路を使用した通信システムにおいて信頼性が高く効率の良い信号伝送を実現するのに非常に大きな効果を発揮しその意義は大である。

#### 4. 図面の簡単な説明

第1図はこの発明の一実施例を示すブロック図、第2図は伝送路BUS上の信号フレーム構成を示す図、第3図は信号チャネルの構成を示す図、第4図は論理信号と伝送符号の変換則を示す図、第5図は第1図の伝送制御回路MTRCの構成例を示すブロック図、第6図は第5図の信号送信系の動作タイミング図、第7図は第5図の信号受信系の動作タイミング図、第8図は第1図の伝送制御回路STRCの構成例を示すブロック図、第9図は第8図の各部の動作タイミング図である。

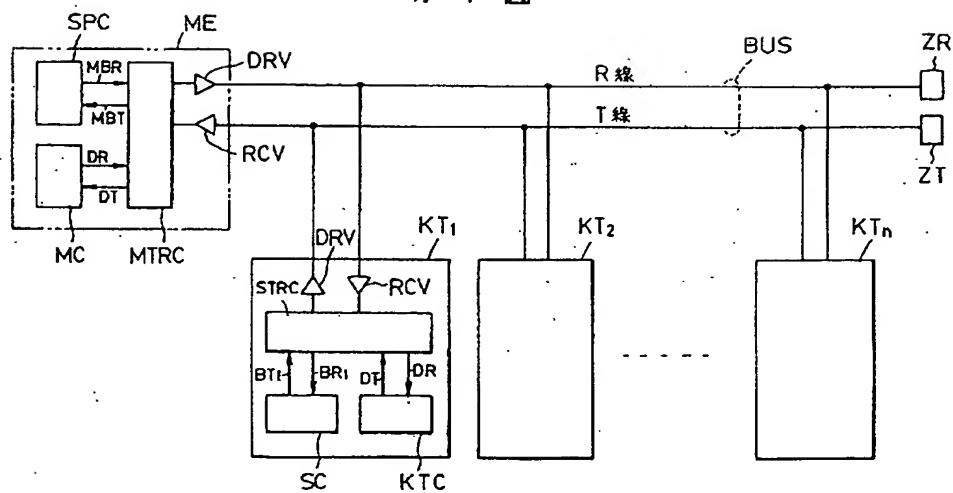
ME: 主装置、KT<sub>1</sub> ~ KT<sub>n</sub>: 電話機、BUS: 時分割多重伝送路、R線: 主装置から電話機へ信号伝送を行う線路(第1の線路)、T線: 電話機から主装置へ信号伝送を行う線路(第2の線路)、

MTRC : 主装置の伝送制御回路、STRC : 電話  
 機の伝送制御回路、PLL, SRC : 端末クロック  
 発生用タイミング回路、SDC, SD : 第1の受信  
 手段、SM, SCD : 第1の送信手段、  
 MD, MDC : 第2の受信手段。

特許出願人 日本電信電話公社

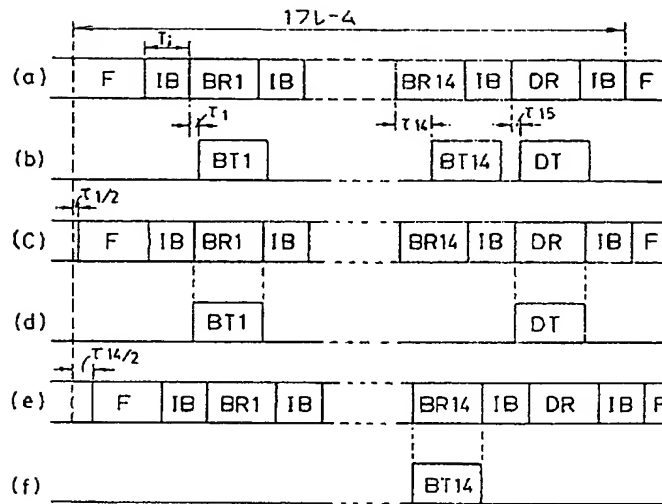
代理人 草 野 卓

図 1

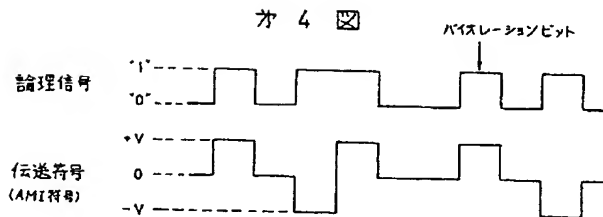
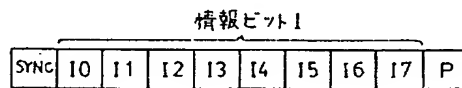




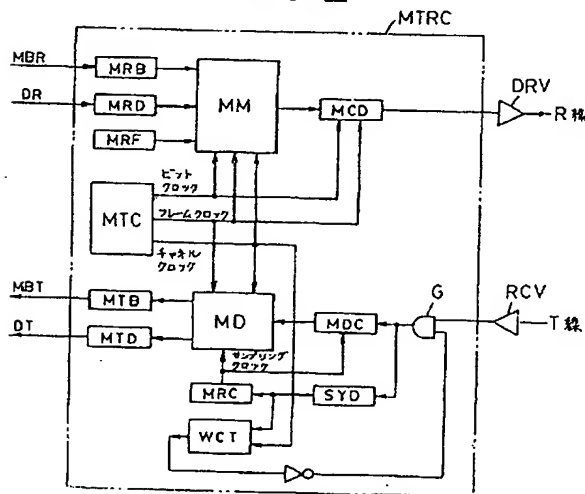
カ 2 図



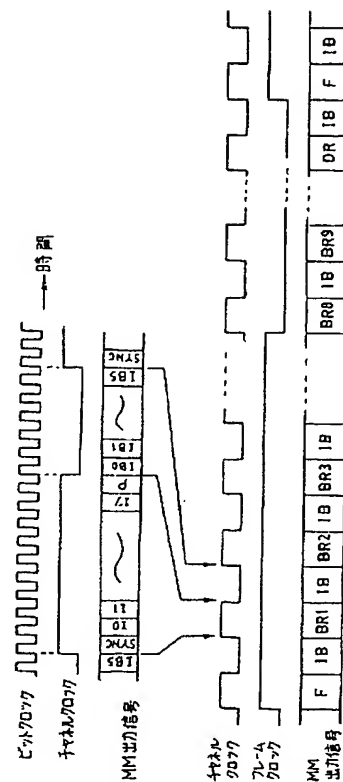
カ 3 図



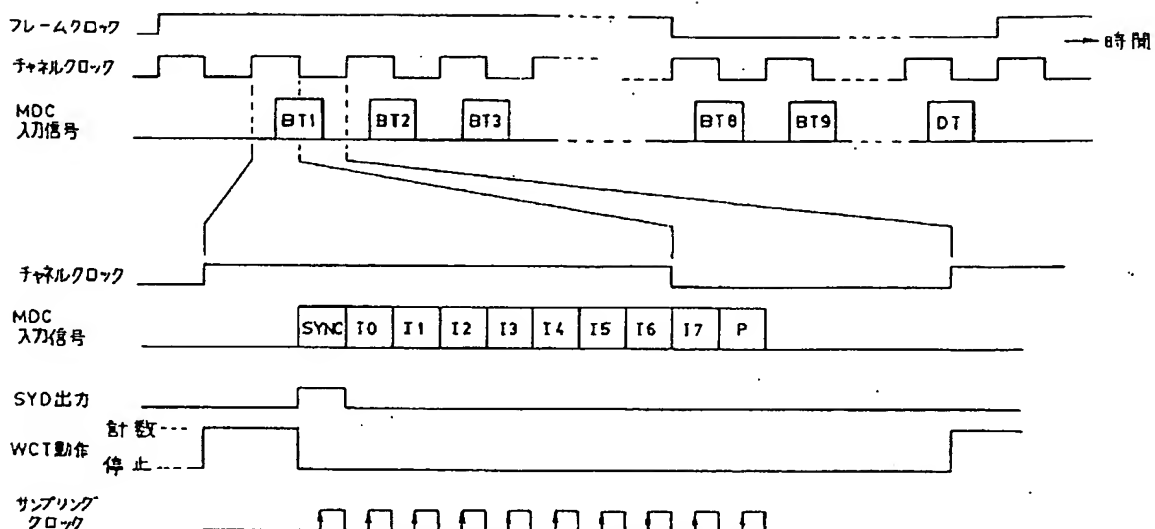
カ 5 図



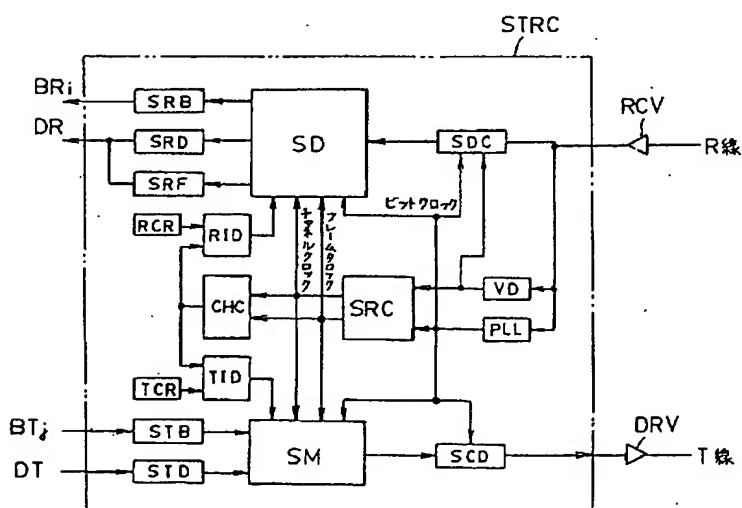
カ 6 図



カ 7 図



カ 8 図



カ 9 図

